

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **56127262 A**(43) Date of publication of application: **05.10.81**

(51) Int. Cl. **G06F 13/04**
G06F 3/00
G11C 9/06
G11C 29/00

(21) Application number: **55029148**(22) Date of filing: **10.03.80**(71) Applicant: **HITACHI LTD**

(72) Inventor: **MAEDA YUZO**
FUJITA HIROSHI

(54) PERIPHERAL STORAGE CONTROLLER

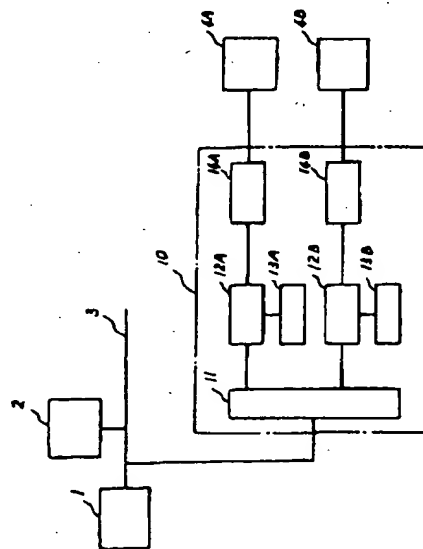
increased extremely for the write contents.

(57) Abstract:

COPYRIGHT: (C)1981,JPO&Japio

PURPOSE: To increase extremely the reliability of write contents for the periphery devices, by storing the contents of the main storage device in each buffer memory independently and then reading these contents to write them into the duplicated peripheral devices.

CONSTITUTION: The contents of the main storage device 2 is transferred to the magnetic disk controller 10 via the common bus 3 and by an indication of CPU1. This storage information receives an error detection/correction and others through a parity check and the like at the interface part 11. Then the information having the same contents are stored temporarily in the buffer memories 13A and 13B independently and through the control parts 12A and 12B. After this, the parts 12A and 12B reads the contents of the corresponding memories 13A and 13B respectively and then write them into the magnetic disk devices 4A and 4B through the interface parts 14A and 14B. Accordingly the probability is small for an error of the write contents of both device 4A and 4B even if the storage information is accumulated or read out erroneously. As a result, the reliability can be



⑪ 公開特許公報 (A)

昭56-127262

⑫ Int. Cl.³
G 06 F 13/04
3/00
G 11 C 9/06
29/00

識別記号

庁内整理番号
7361-5B
6711-5B
7056-5B
6974-5B

⑬ 公開 昭和56年(1981)10月5日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 周辺記憶制御装置

⑮ 特 願 昭55-29148

⑯ 出 願 昭55(1980)3月10日

⑰ 発 明 者 前田雄三

横浜市戸塚区戸塚町216番地株
式会社日立製作所戸塚工場内

⑱ 発 明 者 藤田浩

横浜市戸塚区戸塚町216番地株
式会社日立製作所戸塚工場内

⑲ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5
番1号

⑳ 代 理 人 弁理士 福田幸作 外1名

明 細 書

発明の名称 周辺記憶制御装置

特許請求の範囲

1. 中央処理装置の指示に従い、主記憶装置の内容を共通バスを介して取込み、2重化された周辺記憶装置のそれぞれに対応して設けられた制御部により、これを同じく各バッファメモリそれぞれに独立に一時蓄積した後、これらを取出して該各周辺記憶装置に書き込むごとく構成したことを特徴とする周辺記憶制御装置。

発明の詳細な説明

本発明は、情報処理装置において、2重化した周辺記憶装置に対する周辺記憶制御装置に関するものである。

まず、従来技術について説明する。

第1図は、従来の周辺記憶制御装置の一例のブロック図であつて、磁気ディスク制御装置に対するものである。

ここで、中央処理装置1の指示により、主記憶装置2の所定内容を取り出し、2重化して設けられ

た磁気ディスク装置4A、4Bに書き込む場合の磁気ディスク制御装置5の動作を説明する。

中央処理装置1の指示により、主記憶装置2の所定記憶情報が共通バス3を介して磁気ディスク制御装置5へ転送される。

この記憶情報は、インタフェース部6、制御部7を介してバッファメモリ8に一時蓄積される。

この際、インタフェース部6では、一般に、その記憶情報がパリタイナエツタ等によつて誤り検出、訂正が行われる。

次に、制御部7は、バッファメモリ8の内容を取出し、デバイスインタフェース部9A、9Bを通し、同一内容のものを同時に、磁気ディスク装置4A、4Bに書き込む。

この場合、インタフェース部8で誤り検出、訂正がなされた正しい内容の当該記憶情報が、インタフェース部8を通過後、誤つてバッファメモリ8に書き込まれたとき、または正しく書き込まれたものがバッファメモリ8から誤つて取出されたときには、2重化された磁気ディスク装置4A、4B

へ同時に誤ったデータを書込んでしまうことになる。

このように、第1図の従来例は、折角、周辺記憶装置を2重化しても、充分な信頼性が得られない場合がありうるという問題を有していた。

本発明の目的は、上記した従来技術の欠点をなくし、2重化周辺記憶装置の信頼性を高めることができる周辺記憶制御装置を提供することにある。

本発明の特徴は、2重化された周辺記憶装置のそれぞれに対応して、主記憶装置の内容を一時蓄積するバッファメモリおよび制御部を設けることと、構成した周辺記憶制御装置にある。

以下、本発明の実施例を第2図に基づいて説明する。

第2図は、本発明に係る周辺記憶制御装置の一実施例のブロック図である。

ここで、1は、中央処理装置、2は、主記憶装置、3は、共通バス、4A、4Bは、周辺記憶装置に係る磁気ディスク装置、10は、周辺記憶制御装置に係る磁気ディスク制御装置、11は、そ

(3)

レ装置4A、4Bへの書込内容のいずれかは、正しいものであり、両者ともに誤る確率は極めて小さいものとなるので、その信頼性が著しく向上する。

なお、上記実施例において、磁気ディスク装置に対する場合を説明したが、本発明は、これに限定されるものではない。すなわち、周辺記憶装置として、磁気ドラム装置、磁気テープ装置その他のものを用いても、当然、その実施をすることができるとは明らかである。

以上、詳細に説明したように、本発明によれば、周辺記憶制御装置の制御部、バッファメモリ等に若干のハードウェアの増加を必要とするが、2重化周辺記憶装置の記憶情報の信頼性を飛躍的に向上せしめることができるので、これを補つて余りあるものであり、顕著な効果が得られる。

図面の簡単な説明

第1図は、従来の周辺記憶制御装置の一例のブロック図、第2図は、本発明に係る周辺記憶制御装置の一実施例のブロック図である。

(5)

特開56-127262(2)

のインタフェース部、12A、12Bは、同制御部、13A、13Bは、同バッファメモリ、14A、14Bは、同デバイスインタフェース部である。

中央処理装置1の指示により、主記憶装置2の所定内容(記憶情報)が共通バス3を介して磁気ディスク制御装置10へ伝送される。

この記憶情報は、インタフェース部11でバリタチェック等による誤り検出、訂正、その他必要な処理がなされた後、制御部12A、12Bを通して、それぞれ、同一内容のものがバッファメモリ13A、13Bに独立に一時蓄積される。

次に、制御部12A、12Bは、それぞれ、対応するバッファメモリ13A、13Bの内容を読出し、これらをデバイスインタフェース部14A、14Bを通して磁気ディスク装置4A、4Bに送込む。

このようにすることによつて、バッファメモリ13A、13Bのいずれかについて、万一、記憶情報が誤つて一時蓄積され、または正しく一時蓄積されたものが誤つて読出されても、磁気ディス

(4)

1…中央処理装置、2…主記憶装置、3…共通バス、4A、4B…磁気ディスク装置、10…磁気ディスク制御装置、11…インタフェース部、12A、12B…制御部、13A、13B…バッファメモリ、14A、14B…デバイスインタフェース部。

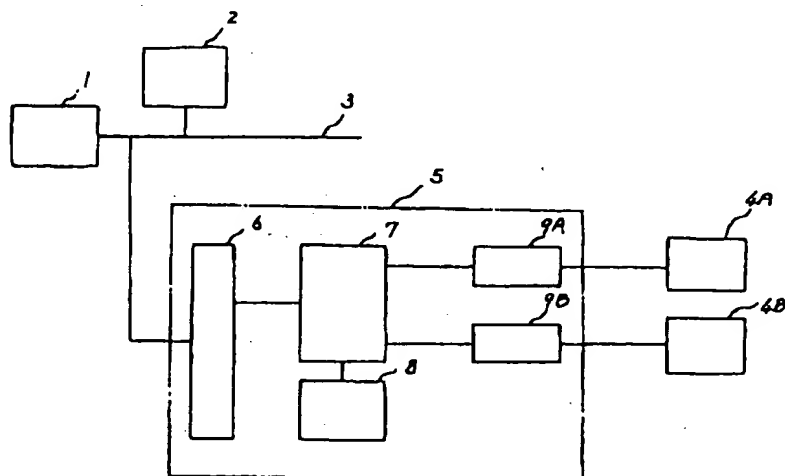
代理人 弁護士 福田幸作

(ほか1名)

(6)

特開昭56-127262(3)

第1図



第2図

